

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-123889

⑮ Int.Cl.⁴

H 04 Q 3/52
11/04

識別記号

庁内整理番号

8426-5K
E-7117-5K

⑬ 公開 昭和62年(1987)6月5日

審査請求 未請求 発明の数 3 (全6頁)

⑭ 発明の名称 高速通話路

⑰ 特 願 昭60-264338

⑱ 出 願 昭60(1985)11月22日

⑲ 発 明 者 長 島 邦 雄 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

高 速 通 話 路

特 許 請 求 の 範 囲

1. 複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を備えることを特徴とする高速通話路。
2. 複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を信号速度に応じて複数個設け、径路設定時に前記信号速度に応じた波形歪補償手段を選択する手段を備えることを特徴とする高速通話路。
3. 複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を信号速度に応じてそれぞれ互いに異な

る径路に複数個設け、径路設定時に前記信号速度に応じた波形歪補償手段を含む径路を選択する手段を備えることを特徴とする高速通話路。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は高速通話路、特に高速デジタル信号の交換を行なう空間分割形高速通話路に関する。

〔従来の技術〕

現在、音声、データを中心とする各種通信サービスを一元的に提供するデジタル総合サービス網(ISDN)の構築が進められている。しかしながら、近年情報化社会の進展に伴い従来の音声、データに加えて超高速データ、ファクシミリ、高精細静止画から動画、高精細動画に到る極めて広範なサービスの要求が高まりつつある。

このような信号をデジタル符号化すると、従来の音声、データの64Kb/sに比し1.5Mb/s以上800Mb/s程度までと極めて広範で高速なビットレートとなり、この為上記の高速デ

デジタル信号を交換する交換機には主として空間分割形通話路が用いられる。しかしながら、このような高速デジタル信号の交換を行なう交換機においては、伝送路のみならず交換機の通話路において生ずる波形歪が大きな問題となる。

この高速通話路の構成法としては、例えば電子通信学会技術報告SE83-105「広帯域通話路構成法に関する考案」依寛二他に記載されているものが知られている。

第4図は従来技術による高速通話路の一例を示す。第4図に示した高速通話路は400、401を含む入線数 n 、出線数 t の k 個の格子スイッチによって構成される一次スイッチ402と、403、404を含む入線数 k 、出線数 s の t 個の格子スイッチによって構成される二次スイッチ405と、406、407を含む入線数 t 、出線数 m の s 個の格子スイッチによって構成される三次スイッチ408と、三次スイッチの出線に設けられた409、410、411、412を含む $m \cdot s$ 個の波形歪補償回路とによって構成されている。

410、411、412の第1の具体例を示す。第5図によれば第4図に示した波形歪補償回路409、410、411、412は入力に波形歪が生じたデジタル信号が加えられた等化増幅器500と、該等化増幅器500の出力に入力を接続されたタイミング回路501と、等化増幅器500の出力にデータ入力502を、タイミング回路501の出力にクロック入力503をそれぞれ接続された識別再生回路504とを含む。

第5図において等化増幅器500は第4図に示した入線413から出線421に到る経路で減衰を受けた高域成分を相対的に増幅することにより、入力信号を識別に適した波形に整形し識別再生回路504のデータ入力502とタイミング回路501の入力に加える。タイミング回路501はこのようにして得られた信号の中からクロック周波数成分を抽出し、細いパルス列に変換して、識別再生回路504のクロック入力503に送出する。識別再生回路504はデータ入力502に加えられた信号をクロック入力503に加えられたクロ

第4図において、一次スイッチ402と二次スイッチ405、二次スイッチ405と三次スイッチ408との間は互いにそれぞれリンク接続されており、413、414、415、416を含む $n \cdot k$ 本の入線と417、418、419、420を含む $m \cdot s$ 本の入線との間を任意に接続することができる。

第4図には、格子スイッチ400、404、407によって、入線413と出線419との間を接続した例を示す。通話信号のビットレートが高速になってくると、入線413と出線421間の配線で生ずる表皮効果、誘電体損失、また入線413と出線421間に含まれるスイッチ素子の周波数特性等の影響により信号に波形歪が生じ、これが高速通話路における符号誤りが生ずる原因となる。この為、第4図に示した高速通話路においては、三次スイッチ408のすべての出線に409、410、411、412を含む $m \cdot s$ 個の波形歪補償回路を設け、通話信号の再生を行っている。

第5図は第4図に示した波形歪補償回路409、

ック信号に同期して“1”であるか、“0”であるかを識別して、信号波形の再生を行なう。

このような波形歪補償回路としては例えば産報出版株式会社刊、金子尚志著「PCM通信の技術」第63頁記載の再生中継器回路を適用することができる。

第6図は第4図に示した波形歪補償回路409、410、411、412の第2の具体例を示す。第6図において第5図と同一番号を付したものは第5図と同一の構成要素を示す。

第6図において等化増幅器500は、第5図に示した第1の具体例と同様に、第4図に示した入線413から出線421に到る経路で減衰を受けた高域成分を相対的に増幅し、再生回路604の入力に送出する。再生回路604はこのようにして得られた信号をあらかじめ定められた閾値と比較することにより“1”であるか、“0”であるかを識別して信号波形の再生を行なう。

(発明が解決しようとする問題点)

しかしながら、第4図に示した従来技術による

高速通話路においては、合計 $m \times s$ 個もの波形歪補償回路を必要とし、これが通話路の消費電力コストの増大を招いていた。また第5図、第6図に示した波形歪補償回路において、等化増幅器500、タイミング回路501等はいずれもあらかじめ定められた信号速度に最適に設計されていることが多く、この為 $1.5 \text{ Mb/s} \sim 800 \text{ Mb/s}$ に及ぶ広範なビットレートを有する種々のメディアを交換することは不可能であった。

本発明の目的は、多くの波形歪補償回路を必要とせず、低消費電力、低価格の高速通話路を提供することにある。

更に本発明の目的は広範なビットレートを有する種々のメディアを交換することが可能な高速通話路を提供することにある。

〔問題点を解決するための手段〕

本第1の発明によれば複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を備えることを特徴と

する高速通話路が得られる。

本第2の発明によると複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を信号速度に応じて複数個設け、径路設定時に前記信号に応じた波形歪補償手段を選択する手段を備えることを特徴とする高速通話路が得られる。

更に本第3の発明によると複数の格子スイッチを多段に接続して構成される通話路において、任意のスイッチ段間に前記通話路において生ずる波形歪を補償する波形歪補償手段を信号速度に応じてそれぞれ互いに異なる径路に複数個設け、径路設定時に前記信号速度に応じた波形歪補償手段を含む径路を選択する手段を備えることを特徴とする高速通話路が得られる。

〔作用〕

本発明は複数の格子スイッチを多段にリンク接続することによって構成される通話路において、リンク数の少ない段間に波形歪補償回路を設ける

ことにより、通話路の出線に波形歪補償回路を設ける従来の高速通話路に比し、大幅に波形歪補償回路の数を削減しようとするものである。

更に本発明は各径路毎に信号速度に応じた複数の波形歪補償回路を設け、径路設定時に信号速度に応じた波形歪補償回路を選択することによって、広範なビットレートを有する種々のメディアの交換を可能にしようとするものである。

更に本発明は信号速度に応じた複数の波形歪補償回路をそれぞれ互いに異なる径路に設け、径路設定時に信号速度に応じた波形歪補償回路を含む径路を選択することによって、広範なビットレートを有する種々のメディアの交換を可能にしようとするものである。

〔実施例〕

次にこの発明の実施例を図面を参照して説明する。第1図は本第1の発明の実施例を示すブロック図である。第1図において第4図と同一番号を付したものは第4図と同一の構成要素を示す。

例えば加入者線交換機等においては、一次スイ

ッチ402、二次スイッチ408をそれぞれ集線スイッチとして使用し、入線数 n_k と出線数 m_s を等しく設計する。このような場合には、スイッチ素子数の低減を図る為に入線数 n_k 、出線数 m_s に比し閉塞率が許される範囲内で極力リンク数 k_t 、 s_t を少なく設計する。第1図に示した本第1の発明の実施例においては、波形歪補償回路109、110、111、112を二次スイッチ405と三次スイッチ408との間に設けることにより第4図に示した従来技術による高速通話路に比し $(m \times s - t \times s)$ 個の波形歪補償回路の低減を図ったものである。

第1図に示した入線413から出線419に到る径路に着目すると、波形歪補償回路112は入線413と格子スイッチ404の出線100との間で生じた波形歪の補償を行なう。更に格子スイッチ407の入線101と出線419との間で生ずる波形歪に関しては、例えば波形歪補償回路112の出力部に予等化機能を付加することによって補償することができる。

以上述べたように第1図に示した本第1の発明の実施例においては、大幅に波形歪補償回路の削減を図ることができる。

第2図は本第2の発明の実施例を示すブロック図である。第2図によれば、波形歪補償回路の具体例は入力にそれぞれ波形歪が生じたデジタル信号が加えられた第1の波形歪補償回路200、第2の波形歪補償回路201および第3の波形歪補償回路202と、前記3個の波形歪補償回路200、201、202の出力のいずれか1つを選択するスイッチ回路203とを含む。

第2図において波形歪補償回路200、201、202は例えば1.5 Mb/s、100 Mb/s、800 Mb/sのビットレートに対してそれぞれ最適に設計されており、通話路の径路設定時に、スイッチ回路203によって高速ファクシミリ信号の場合には波形歪補償回路200を、通常の動画信号の場合には波形歪補償回路201を、高精細動画信号の場合には波形歪補償回路202をそれぞれ選択出力する。

308との間は互いにそれぞれリンク接続されており、313、314、315、316を含む複数の入線と、317、318、319、320を含む複数の出線との間を任意に接続することができる。

ここで例えば波形歪補償回路309、310、311、312は100 Mb/sのビットレートに、波形歪補償回路323、324、325、326は800 Mb/sのビットレートに対してそれぞれ最適設計されている。

第3図に示した本発明の第3の実施例においては、例えば入線313から出線319に到る径路を設定する際に、通話信号速度が100 Mb/sの場合には図中破線で示した入線313-格子スイッチ300-格子スイッチ304-波形歪補償回路312-格子スイッチ307-出線319の径路を設定することによって波形歪補償回路312を選択し、通話信号速度が800 Mb/sの場合には図中実線で示した入線313-格子スイッチ300-格子スイッチ322-波形歪補償回路

このように第2図に示した波形歪補償回路を用いることによって広範なビットレートを有する種々のメディアの交換を行なうことができる。

第3図は本第3の発明の実施例を示すブロック図である。第3図によれば本第3の発明の実施例は300、301を含む複数の格子スイッチによって構成される一次スイッチ302と、303、304を含む複数の格子スイッチによって構成される二次スイッチ305と、306、307を含む複数の格子スイッチによって構成される三次スイッチと、二次スイッチの出線に設けられた309、310、311、312を含む複数の波形歪補償回路とによって構成されている。

第3図に示した二次スイッチ305は更に321、322を含む複数の格子スイッチを有し、各格子スイッチの出力には323、324、325、326を含む複数の波形歪補償回路が設けられている。

第3図において一次スイッチ302と二次スイッチ305、二次スイッチ305と三次スイッチ

326-格子スイッチ307-出線319の径路を設定することによって波形歪補償回路326を選択する。

このように第3図に示した本第3の発明の実施例においては、径路選択時に信号速度に応じた波形歪補償回路を含む径路を選択することにより、広範なビットレートを有する種々のメディアの交換を行なうことができる。

〔発明の効果〕

以上述べたように、本発明によれば多くの波形歪補償回路を必要とせず低消費電力、低価格の高速通話路を提供することができる。

更にまた本発明によれば広範なビットレートを有する種々のメディアを交換することのできる高速通話路が得られる。

図面の簡単な説明

第1図は本第1の発明の実施例を示すブロック図、第2図は本第2の発明の実施例を示す図であり、波形歪補償回路の具体例を示す図、第3図は

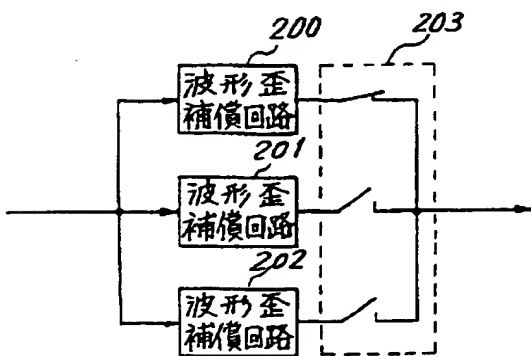
本第3の発明の実施例を示す図、第4図は従来技術による高速通話路の一例を示すブロック図、第5図は第4図中の波形歪補償回路の第1の具体例を示すブロック図、第6図は第4図中の波形歪補償回路の第2の具体例を示すブロック図である。

300, 301, 303, 304, 306, 307, 321, 322, 400, 401, 403, 404, 406, 407…格子スイッチ、109, 110, 111, 112, 309, 310, 311, 312, 323, 324, 325, 326, 409, 410, 411, 412…波形歪補償回路。

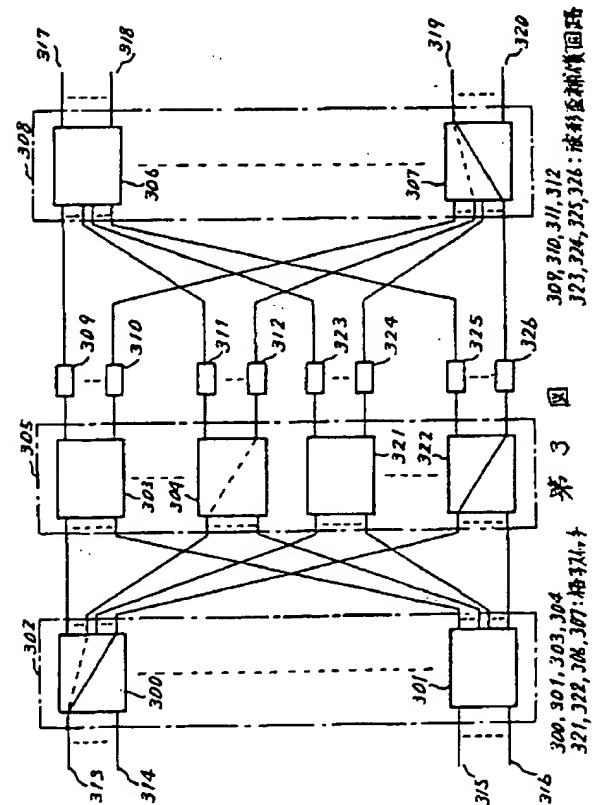
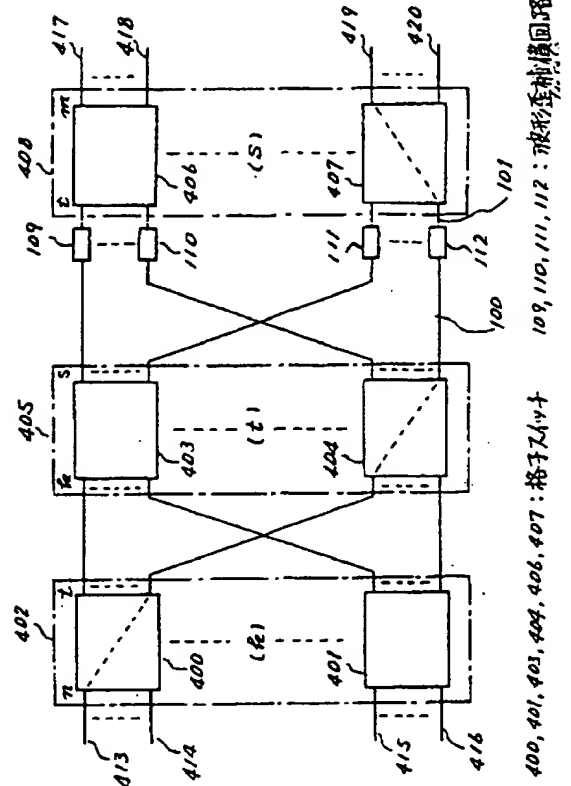
代理人 井理士 内 原



第 2 図

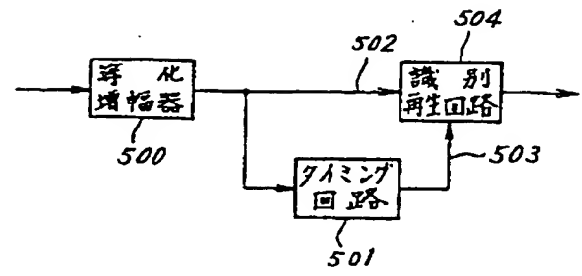


第 1 図

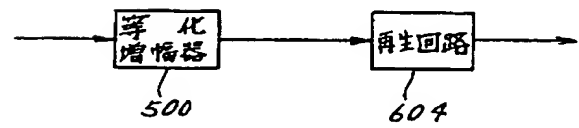


第 3 図

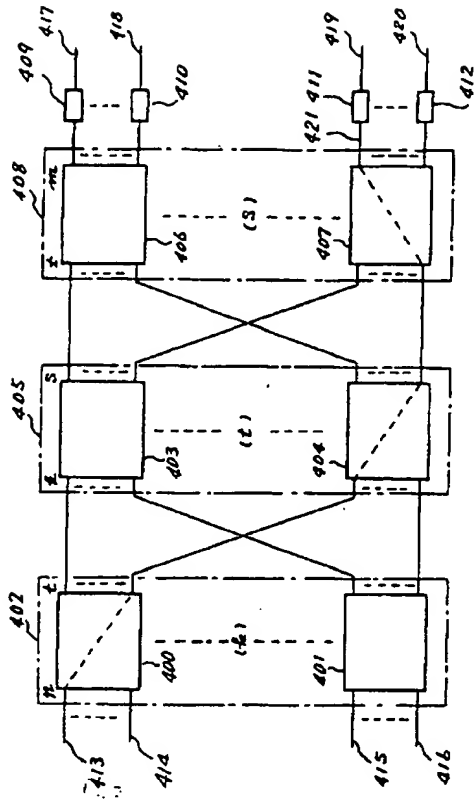
第 5 図



第 6 図



第 4 図



409, 410, 411, 412 : 波形遅延回路